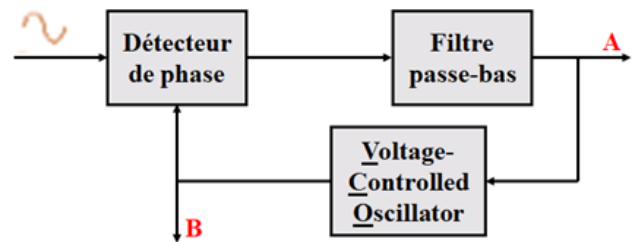


### Exercice 1

Considérez le diagramme bloc du PLL :

Déterminez le type de signaux qui seraient observés aux points A et B pour les conditions d'entrée suivantes :



i) Entrée = tension sinusoïdale, fréquence stable

ii) Entrée = onde sinusoïdale, fréquence croissante

iii) Entrée = onde sinusoïdale, fréquence décroissante

iv) Entrée = onde sinusoïdale, fréquence augmentant et diminuant régulièrement

### Exercice 2

Déterminez le changement de fréquence pour un oscillateur contrôlé en tension (VCO) avec une fonction de transfert de  $K_o = 2.5 \text{ KHz/V}$  et un changement de tension d'entrée DC de  $\Delta V_0 = 0.8 \text{ V}$ .

### Exercice 3

Etant donnée pour un VCO :  $f_{OUT} = 1.2 \text{ MHz}$  à  $V_0 = 4.5 \text{ V}$  et  $f_{OUT} = 380 \text{ kHz}$  à  $V_0 = 1.6 \text{ V}$ , trouvez  $K_o$  en  $\text{rad/Vs}$ .

### Exercice 4

Calculez la tension à la sortie d'un détecteur de phase avec un gain  $K_D = 0.5 \text{ V/rad}$  et une erreur de phase de  $\Phi_e = 0.75 \text{ rad}$ .

### Exercice 5

Pour une PLL avec une fréquence libre  $f_0 = 200 \text{ kHz}$ , une fréquence d'entrée  $f_{IN} = 210 \text{ kHz}$ , et les fonctions de transfert :  $K_D = 0.2 \text{ V/rad}$ ,  $K_f = 1$  (fonction de transfert du filtre passe-bas),  $K_o = 20 \text{ kHz/V}$ , déterminez :

- Le gain de boucle ouverte exprimé en  $\text{Hz/rad}$
- Le changement de la fréquence du VCO,  $\Delta f_{OUT}$ , nécessaire pour obtenir le verrouillage
- La tension de sortie de la PLL
- La tension de sortie du détecteur de phase
- L'erreur de phase statique (PLL verrouillée)
- La plage de maintien ('lock range'), exprimée en fréquence et en pulsation